


**MEMORY ELEMENT**

Patent Number: JP4171978  
Publication date: 1992-06-19  
Inventor(s): ISONO YASUO; others: 01  
Applicant(s): OLYMPUS OPTICAL CO LTD  
Requested Patent:  JP4171978  
Application Number: JP19900300161 19901106  
Priority Number(s):  
IPC Classification: H01L27/10; H01L29/28; H01L49/02  
EC Classification:  
Equivalents: JP3021614B2

---

**Abstract**

---

**PURPOSE:** To reduce the number of processes and to simplify an operation by providing the following: an MIM element which is constituted of a laminated structure by a conductor, an insulator and a conductor and which is provided with a nonlinear conductivity; a charge holding element which is connected in series with the MIM element and which is provided with a charge holding characteristic; and a field-effect transistor whose gate has been connected in parallel with the charge holding element.

**CONSTITUTION:** A conductor (M) - an insulator (I) - a conductor (M) element (abbreviated as an MIM element in the following) 10 which uses a polyimide LB film as an insulating layer (an I layer) is ferroelectric capacitor 12; and the gate electrode of an n-channel FET (field-effect transistor) 14 is connected to their connecting point. When this memory element is manufactured, the polyimide LB films used as the insulating film for the polyimide LB film MIM element 10 is utilized simultaneously as the gate insulating film for the n-channel FET 14. As a result, a process to form a gate oxide film and its etching process are not required, and a manufacturing process can extremely be simplified.

---

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-171978

⑬ Int. Cl.<sup>5</sup>

H 01 L 27/10  
29/28  
49/02

識別記号

4 5 1

庁内整理番号

8624-4M  
6412-4M  
7013-4M

⑬ 公開 平成4年(1992)6月19日

審査請求 未請求 請求項の数 7 (全8頁)

⑭ 発明の名称 メモリ素子

⑮ 特 願 平2-300161

⑯ 出 願 平2(1990)11月6日

⑰ 発 明 者 磯 野 靖 雄 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑰ 発 明 者 松 岡 直 之 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑱ 出 願 人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑲ 代 理 人 弁理士 坪 井 淳 外2名

明 細 書

1. 発明の名称

メモリ素子

2. 特許請求の範囲

(1) 導電体-絶縁体-導電体の積層構造で構成された非線形導電率を持ったMIM素子と、

上記MIM素子に直列に接続された電荷保持特性を持った電荷保持素子と、

上記電荷保持素子にゲートが並列に接続された電界効果トランジスタと、

を具備することを特徴とするメモリ素子。

(2) 上記MIM素子の絶縁体と、上記電界効果トランジスタのゲート絶縁膜とが、同一のプロセスで形成された有機物超薄膜で成ることを特徴とする請求項1記載のメモリ素子。

(3) 上記有機物超薄膜はラングミュア・プロジェット膜から成り、

上記電荷保持素子が誘電体、強誘電体、電荷トラップ性物質の何れかから成ることを特徴とする請求項2記載のメモリ素子。

(4) 上記MIM素子の一方の電極が上記電界効果トランジスタのドレイン端子又はソース端子を兼ねていることを特徴とする請求項1記載のメモリ素子。

(5) 電荷保持特性を持った電荷保持素子と、上記電荷保持素子にゲートが並列に接続された電界効果トランジスタとを具備し、

上記電界効果トランジスタのゲート絶縁膜が有機物超薄膜により形成されていることを特徴とするメモリ素子。

(6) 上記有機物超薄膜はラングミュア・プロジェット膜から成り、

上記電荷保持素子が誘電体、強誘電体、電荷トラップ性物質の何れかから成ることを特徴とする請求項5記載のメモリ素子。

(7) 上記電荷保持素子の一方の電極が上記電界効果トランジスタのドレイン端子又はソース端子を兼ねていることを特徴とする請求項5記載のメモリ素子。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、有機物超薄膜を用いたメモリ素子に関する。

## 〔従来の技術〕

エレクトロニクス分野に於けるLSI技術の進歩の段階が、超微細化の方向に進み、現在の材料及び製造技術ではその限界が既に意識されだしている近年、メソスコピック領域に関する理解がますます重要になりつつある。ここで、メソスコピック領域とは、量子力学が支配するミクロな領域とマクロな領域との中間領域である。

このメソスコピック領域の素子を作製するために、分子エレクトロニクスという研究分野が生まれた。この分野に於いて、LB(ラングミュア・プロジェクト)膜の研究及びその応用に強い関心が寄せられている。ここで、LB膜とは、有機物超薄膜作製法の一つであるLB法を用いて常温、常圧の条件下で分子オーダ、即ちオングストロームオーダで規則正しく分子を配列して作製した膜

いる。なお、図中の参照番号110は、書き込み電極である。

ここで、MIM素子100の絶縁膜(I)には有機物超薄膜を用いているため、素子にはトンネル電流が流れ、その非線形性により極めて単純な回路構成でクロストークを除去することができる。また、MIM素子100の上下電極(M)を同種金属にすることにより、対称のポテンシャル障壁を形成し、正負対称のスイッチング特性を持たせることができる。従って、1つのメモリセルに最低3値の情報を記録することができ、ニューラルネットワーク等の論理演算素子への応用が期待されている。

## 〔発明が解決しようとする課題〕

このような機能は、基本的には、有機物超薄膜の特性に負うものである。しかし、実際に素子を作製する場合には、有機物超薄膜プロセスは、所謂無機半導体製造プロセスと基本的に異なるため、工程数が増えたり、作業が複雑化し、コスト増加、歩留まり低下等の可能性がある。従って、従来の

の総称である。

一般に、親水性基と疎水性基の双方を持つ分子を水面に展開すると、親水性基を水面に接した形で単分子膜を形成する。このようにしてできた単分子膜に絶えず一定の圧力を加え、それと共に基板を水中で上下運動させることにより、基板上に単分子膜を何層にも累積させることができる。LB膜は、通常、以上のような方法で作製される。

一般に、有機物分子集合体は、電子が動き難い。従って、その電子の動き難さ、即ち絶縁性をより制御された形で用いるためには、このLB法を用いて薄膜化することが第1に考えられる。このような有機物超薄膜の応用として、例えば、特願平2-32703号に、第8図に示すように、MIM素子100をスイッチング素子として用い、それとキャパシタ102を直列接続して成るメモリセルのメモリ電荷量を、キャパシタ102に接続されたn-MOSトランジスタ104及びp-MOSトランジスタ106を介して読み出し、電流計108により読出すメモリ素子が開示されて

半導体製造プロセスの内、有機物超薄膜プロセスで置き換えられるところは、積極的に置き換える必要がある。

本発明は、半導体製造プロセスの内、有機物超薄膜プロセスで置き換え得るところを積極的に置き換えることにより、工程数減少、作業の簡略化を可能とするメモリ素子を提供することを目的とするものである。

## 〔課題を解決するための手段〕

本発明によるメモリ素子は、導電体(M)-絶縁体(I)-導電体(M)の積層構造で構成された非線形導電率を持ったMIM素子と、上記MIM素子に直列に接続された電荷保持特性を持った電荷保持素子と、上記電荷保持素子にゲートが並列に接続された電界効果トランジスタとを備えている。

ここで、上記MIM素子の絶縁体と、上記電界効果トランジスタのゲート絶縁膜とは、同一のプロセスで形成されたラングミュア・プロジェクト膜から成り、上記電荷保持素子は誘電体、強誘電

体、電荷トラップ性物質の何れかから成る。また、上記MIM素子の一方の電極が上記電界効果トランジスタのドレイン端子又はソース端子を兼ねている。

また本発明によるメモリ素子は、電荷保持特性を持った電荷保持素子と、上記電荷保持素子にゲートが並列に接続された電界効果トランジスタとを具備し、上記電界効果トランジスタのゲート絶縁膜が有機物超薄膜により形成されていることを特徴とするものである。

ここで、上記有機物超薄膜はラングミュア・ブロッジェット膜から成り、上記電荷保持素子が誘電体、強誘電体、電荷トラップ性物質の何れかから成る。また、上記電荷保持素子の一方の電極は上記電界効果トランジスタのドレイン端子又はソース端子を兼ねている。

#### 〔作用〕

LB法は有機物超薄膜の絶縁性をより制御された形で発現させるために有効な方法である。一方、従来の半導体素子では、シリコン熱酸化膜

( $\text{SiO}_2$ )が良好な絶縁性を持つため広く利用されている。特に、MOSトランジスタのゲート絶縁膜として用いられ、このことはシリコンプレーナIC技術の重要なポイントとなっている。従って、MOSトランジスタのゲート絶縁膜として、LB法で作成した有機物超薄膜を用いることは、前述したように有機物超薄膜MIM素子と無機半導体素子とを複合させたメモリ素子を作製する場合、工程数減少、作業の簡略化によって極めて有効な方法となる。

また、LB膜は、任意の電極の上に数10オングストロームの厚さで作製することができ、これを用いてMIM素子を作るとトンネル電流が流れる。トンネル電流は、電圧に対して極めて高次の非線形性を示すため、大略的に言えば、LB膜は比較的低電圧では絶縁膜として作用し、比較的高電圧では導電性膜として作用する。従って、このようなLB膜をMOSトランジスタのゲート絶縁膜として用いると、単純にゲートをチャネルから絶縁する他に、スイッチング素子として能動的な

動作もするために、小さな素子面積に多くの機能を詰め込むことができる。即ち、集積度のより高いICを作ることにも容易になる。

#### 〔実施例〕

以下、図面を参照して本発明の実施例を説明する。

第1図は第1の実施例のメモリ素子の構造を示すための断面図であり、第2図はこのメモリ素子の電気的等価回路である。

即ち、ポリイミドLB(ラングミュア・ブロッジェット)膜を絶縁層(I層)として用いた導電体(M) - 絶縁体(I) - 導電体(M)素子(以降、MIM素子と略す)10と、PZT( $\text{PbZnO}_3$ - $\text{PbTiO}_3$ 固溶体)強誘電体キャパシタ12が直列に接続され、その接続点にn-チャネルFET(電界効果トランジスタ)14のゲート電極が接続された構造になっている。

このメモリ素子は、p型Si基板16上に作り込まれているため、FET14はn-チャネルとなっているが、ソース拡散領域18及びドレイン

拡散領域20を、基板16の一部に形成したnウェル領域内に作り込むことにより、p-チャネルFETとすることも可能である。また、PZT膜22は、スパッタリング法により作製され、厚みは1 $\mu\text{m}$ である。MIM素子10、PZT強誘電体キャパシタ12、及びn-チャネルFET14の間の接続には、Al電極24が用いられるが、他の金属、あるいは多結晶シリコン等、導電性物質なら何れも用いることができる。

ポリイミドLB膜26は、鈴木等の方法(電気学会論文誌A, 106巻9号, P435(昭61-9))に従って作製されることができ、このポリイミドLB膜26の厚みは、7分子層(28オングストローム)である。このポリイミドLB膜26には、トンネル電流が流れることが確認されている。

第2図のポリイミドLB膜MIM素子と等価なMIM素子のみを作製して、その電流-電圧特性(I-V特性)を測定した結果を第3図に示す。図中、実線Aが実測値を示す。電極は直径3mm

の円とした。シモンスの方法 (J.G.Simmons, J.Appl.Phys., Vol.34, No.6, P.1793 (1963)) によると、十分に薄い絶縁膜を電子がトンネルする際、トンネル電流  $j$  と印加電圧  $V$  の関係は、次の (1) 式のようになる。

$$j = j_0 \{ \bar{V} \exp(-A\bar{V}^{1/2}) - (\bar{V} + eV) \exp[-A(\bar{V} + eV)^{1/2}] \} \dots (1)$$

ここで、

$$j_0 = \frac{e}{2\pi h (\beta \Delta S)^2}$$

$$A = \frac{4\pi\beta\Delta S \cdot (2m)^{1/2}}{h}$$

$$\bar{V} = \frac{1}{\Delta S} \int_{S_1}^{S_2} V(x) dx$$

(但し、 $V(x)$  は電極のフェルミ面から見た絶縁膜のポテンシャルであり、 $S_1, S_2$  は絶縁膜の各端面の  $x$  座標 ( $x$  座標は膜の垂直方向) であり、 $\Delta S = S_2 - S_1$ 、即ち絶縁膜の厚みである。)

ている。

従って、本実施例で作製したメモリ素子のポリイミドLB膜MIM素子10には、トンネル電流が支配的に流れている。このトンネル電流は極めて高次の非線形性を持っているため、このMIM素子10は良好なスイッチング素子として作用し、スイッチング閾値は0.7Vである。

そこで、第1の書き込み電極28に、第2の書き込み電極30に対して1Vの電位差で100 $\mu$ sの矩形パルスを印加すると、PZT強誘電体キャパシタ12には0.5Vの電圧が保持される。

このPZT強誘電体キャパシタ12への電圧書き込みの後、第2の書き込み電極30とソース端子32を同電位にし、それに対してドレイン端子34に2Vの電圧を印加すると、ドレイン-ソース間に電流が流れることから、PZT強誘電体キャパシタ12の保持電圧をそれにより確認することができる。

第1図に示したような構造のメモリ素子を作製

$$\beta = 1 - \frac{1}{8\bar{V}^2 \Delta S} \int_{S_1}^{S_2} [V(x) - \bar{V}]^2 dx$$

また、AL電極の裏面にできた自然酸化膜 ( $Al_2O_3$ ) は容量の測定からその厚みが29オングストローム、またそのエネルギー障壁の高さが4.3eVであることから存在を無視することができず、ポリイミドLB膜と複合した形で絶縁膜として作用すること、またポリイミドLB膜のエネルギー障壁の高さが120オングストローム厚の素子を流れるファウラーノルドハイム電流の解析から0.65eVと見積られたことを考慮して、(1)式からトンネル電流理論値を計算した結果が第3図中に破線B (各計算値を $\times$ で示す) に示されている。但し、この理論値の絶対値は、実測値に最もよく一致するような  $j_0$  を任意に選んだものである。また、高電圧部に於いては、ポリイミドLB膜は存在しない。即ち、自然酸化 ( $Al_2O_3$ ) 膜のみが絶縁膜として作用しているMIM素子のI-V特性 (破線C) に制限され

する場合、ポリイミドLB膜MIM素子10の絶縁膜として用いられたポリイミドLB膜が同時にn-チャネルFET14のゲート絶縁膜としても利用されているため、ゲート酸化膜作製工程及びそのエッチング工程が不要となり、作製プロセスを極めて簡略化することができる。

また、n-チャネルFET14のゲート絶縁膜 (ポリイミドLB膜) を誘電体としたキャパシタンス  $C_0$  が、ポリイミドLB膜の厚みが薄いために大きくなり、その結果、FETのスイッチング閾値電圧  $V_T$  が低くなる。従って、PZT強誘電体キャパシタ12の保持電圧を比較的低くしておいても容易に読出すことができる。そのため、メモリ書き込み電圧が低く抑えられること、それにより消費電力や発熱を低く抑えられること、また書き込み時間を短くすること、等のメモリ素子にとって望ましい要件を実現することができる。

本実施例の重要な点は、ポリイミドLB膜MIM素子10に用いられる絶縁膜と、n-チャネルFET14のゲート絶縁膜とが同一のプロセ



スで作製された同一の物質からなっているということであり、その他の部分の構造やプロセスは様々な場合が可能である。また、このように用いられる絶縁膜は、トンネル電流が流れる程度の厚みで電極間を絶できる物質であればどのようなものでも良く、特に高分子有機化合物分子をLB法によって膜化したものが有効である。また、PZT強誘電体キャパシタ12を構成するPZT膜22もこれに限定されるものではなく、他の誘電体又は強誘電体を用いることも可能である。特に、 $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{PbNb}_2\text{O}_6$ 、 $\text{KNbO}_3$ 、 $\text{BaTiO}_3$ 、 $\text{PbTa}_2\text{O}_6$ 、 $\text{PbTiO}_3$ 、 $\text{Cd}_2\text{Nb}_2\text{O}_7$ 、 $\text{SbSI}$ 、 $\text{NaNbO}_2$ 、PLZT(PZTにLaを添加したもの)、ポリフッ化ビニリデン(PVDF)、又はフッ素を含む有機重合体が有効である。

第4図は本発明の第2の実施例のメモリ素子の構造を示すための断面図であり、第5図はこのメモリ素子の電気的等価回路である。これらの図に

一方、上記の場合と正負対称の電位差を第1及び第2の書き込み電極28、30間に印加すると、PZT強誘電体キャパシタ12には、第2の書き込み電極30に対して-0.5Vの電圧が保持される。これは、第2の書き込み電極30とp-チャネルFET36のドレイン端子(P)38を同電位とし、それに対してソース端子(P)40に-2Vの電圧を印加した時に、ドレイン端子38とソース端子40との間に電流が流れるかどうかにより、PZT強誘電体キャパシタ12に負の電圧が保持されたことが確認できる。

このようにして、本第2の実施例のメモリ素子にあっては、正及び負の電圧を保持し、且つそれを読出すことができる。また、電圧を保持していない状態も情報の1つと考えれば、メモリ素子1つにつき最低3つの情報を記録し、且つ読出すことが可能となる。従って、このような構造のメモリ素子を多数並べたメモリICを作製した場合、単位面積当り、あるいは1チップ当りに記録される情報の数を極めて増加させることができる。

於いて、第1図及び第2図と同一のものには同一の参照番号を付すものとする。

即ち、第1の実施例のメモリ素子にp-チャネルFET36を追加し、そのゲート電極をn-チャネルFET14のゲート電極に接続した形となっている。

このような構成とすると、PZT強誘電体キャパシタ12に正及び負の2種類の電圧を保持させることができる。例えば、第2の書き込み電極30に対して1Vの電位差で100 $\mu$ sの矩形パルスで第1の書き込み電極28に印加すると、第2の書き込み電極30を基準にして、+0.5Vの電圧がPZT強誘電体キャパシタ12に保持される。この場合、第2の書き込み電極30とn-チャネルFET14のソース端子(N)32を同電位とし、それに対してドレイン端子(N)34に+2Vの電圧を印加すると、ドレイン端子34とソース端子32との間に電流が流れ、これによりPZT強誘電体キャパシタ12に正の電圧が保持されたことが確認されることができる。

また、同一のメモリ素子に正又は負の情報を任意に記録できるということは、ニューラルネットワーク等の論理演算回路への応用する際に極めて有益な要件となる。

なお、p型Si基板16上にpチャネルFET36を作り込むために、このFET36は、第4図に示すように、ソース拡散領域42及びドレイン拡散領域44を、基板16の一部に形成したnウェル領域46内に作り込むことにより作製されている。

第6図は本発明の第3の実施例のメモリ素子の構造を示すための断面図であり、第7図はこのメモリ素子の電気的等価回路である。これらの図に於いて、第1図及び第2図と同一のものには同一の参照番号を付すものとする。

即ち、本実施例のメモリ素子は、第1実施例のメモリ素子の第1の書き込み電極28を省いた構造となっている。この場合でも、各端子への供給電圧を適当に選択することにより、n-チャネルFET14のゲート絶縁膜として使用されている

ポリイミドLB膜26が、第1の実施例で用いられたポリイミドLB膜MIM素子10の絶縁膜(1層)と等価の作用をする。その場合の必要な条件は、第2の書き込み電極30をソース端子32及びドレイン端子34よりも高い電位にし、且つn-チャネルFET14のゲート絶縁膜には、そのトンネルスイッチング閾値よりも高い電位差がかかるようにすることである。例えば、ソース端子32を基準にしてドレイン端子34に+0.2Vの直流電圧を印加しながら、第2の書き込み電極30に1V、100 $\mu$ sの矩形パルスを印加することにより、第2の書き込み電極30を基準にして+0.5Vの電圧がPZT強誘電体キャパシタ12に保持されることが出来る。これは、n-チャネルFET14のnチャネルを流れる電子の内、ゲート絶縁膜の厚み方向の速度成分を持つものがゲート絶縁膜(ポリイミドLB膜)をトンネル伝導してPZT強誘電体キャパシタ12を充電したためである。

従って、本第3の実施例では、n-チャネル

至っていない。

GaAsの表面を高温プロセスにより酸化すると多数の界面準位が形成され、デバイスが動作しなかったり、大きなドリフトを示すといった問題があった。LB法によると、プラズマCVD法や陽極酸化法に比べて穏やかに絶縁膜を形成することができる。従って、化合物半導体を用いたIGFET開発にとって重要なプロセス技術となり得る。

そこで第4の実施例として、GaAs基板を用いて、メモリ素子を構成することができる。本第4の実施例のメモリ素子は、濃度 $5 \times 10^{16} \text{ cm}^{-3}$ にSがドーパされたn-GaAs活性層上にポリイミドLB膜7分子層を製膜し、その上にAl電極を蒸着してそれをゲート電極としてメモリ素子を構成することができる。この場合、n-GaAsとポリイミドLB膜絶縁層の界面にできた界面準位は $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ と非常に低く抑えることができる。ゲート長2 $\mu\text{m}$ 、ゲート幅300 $\mu\text{m}$ の時、2GHzに対

FET14は単なる電圧感知素子としてのみでなく、電流制御(スイッチング)素子としての作用も持っている。従って、単位面積当りの機能の数が増えるため、集積度あるいは歩留まり向上にとって有利な素子構成である。また、配パターンもより単純になるため、作製プロセスが単純になり、また駆動回路構成も単純になる。

なお、上記第1乃至第3の実施例では、メモリ素子を作り込む半導体基板となる半導体としてp型Siを例にとって説明したが、本発明はそれに限定されるものではなく、AlP、AlAs、AlSb、GaP、GaAs、GaSb、InP、InAs、InSb、等、化合物半導体基板全てのもので用いることができる。

ところで、GaAs半導体ICは、その高移動度のため高速信号処理用ICへの応用が期待されているが、VLSI化にとって重要なデバイスであるIGFET(Insulated Gate FET、ゲート電極がチャネルから絶縁されているFETのこと)の特性が十分に改善されないため、その実現には

する相互コンダクタンス $G_{m0} = 10 \text{ ms}$ となる。

従って、PZT強誘電体キャパシタ12に保持されたメモリ電圧をこのGaAs-IGFETで読出す場合、そのソースドレイン間にかかるバイアス電圧は、Si-FETの場合より充分に短くても動作し、即ち読み出し速度が大幅に増加する。これは、GaAsのキャリア移動度がSiのそれに比べて大きいためである。従って、第3の実施例で示したようにFETのチャネルからゲート絶縁膜を経由してPZT強誘電体キャパシタに電荷を書き込むメモリ書き込みの場合も、Si半導体の場合より書き込み速度が大幅に増加する。

また、GaAsは、直接遷移型半導体のため、上記メモリ素子と同一の半導体基板上に発光素子を作り込むことができる。従って、極めて高集積度のOEIC、あるいは制御機能の付加された光素子、又は光情報ネットワーク等への幅広い応用が期待される。

#### [発明の効果]

以上詳述したように本発明によれば、半導体製

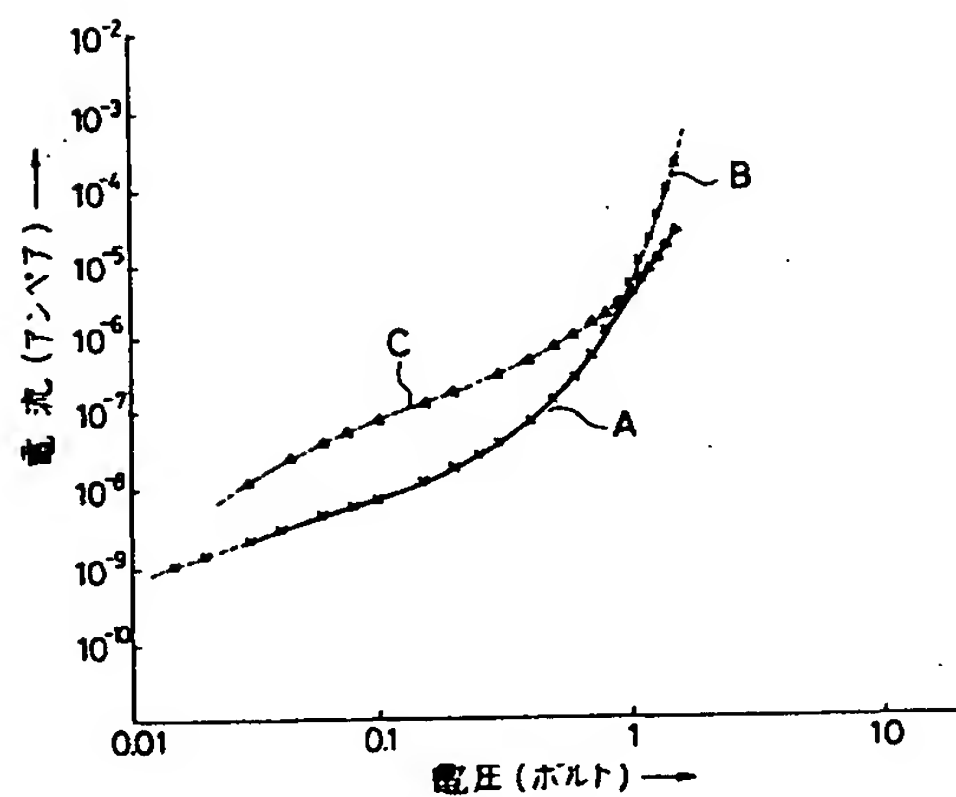
造プロセスの内、有機物超薄膜プロセスで置き換え得るところを積極的に置き換えることにより、工程数減少、作業の簡略化を可能としたメモリ素子を提供することができる。

#### 4. 図面の簡単な説明

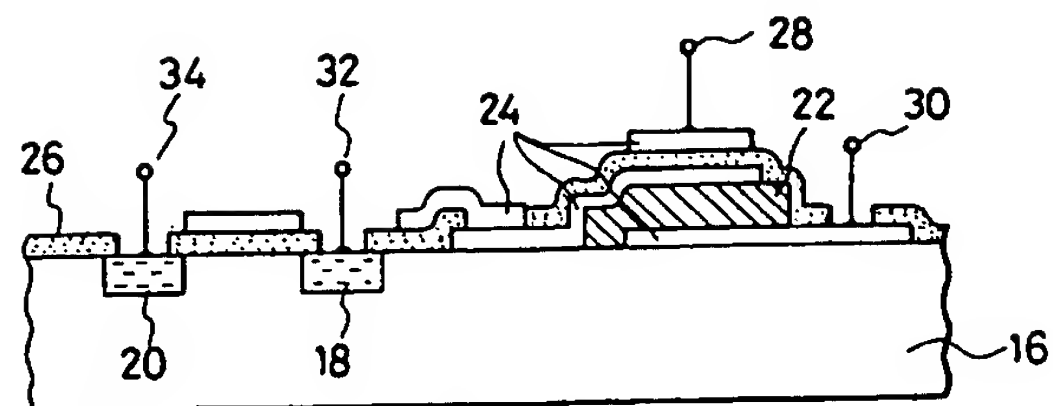
第1図は本発明の第1の実施例の構造を示す断面図、第2図は第1の実施例の電気的等価回路、第3図は第1の実施例に用いられるMIM素子の電流-電圧特性図、第4図は本発明の第2の実施例の構造を示す断面図、第5図は第2の実施例の電気的等価回路、第6図は本発明の第3の実施例の構造を示す断面図、第7図は第3の実施例の電気的等価回路、第8図は従来のメモリ素子の電気的等価回路図である。

10…ポリイミドLB膜MIM素子、12…PZT強誘電体キャパシタ、14…n-チャネルFET、26…ポリイミドLB膜、36…p-チャネルFET。

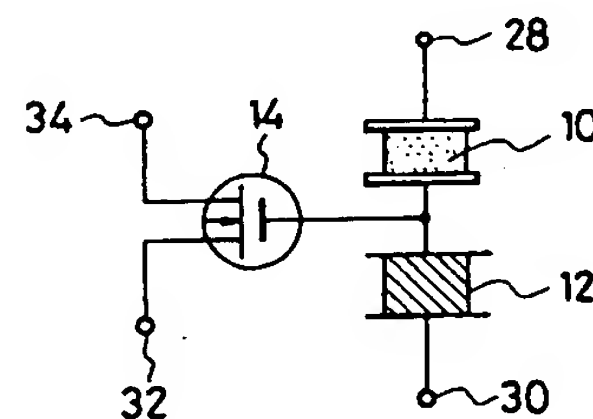
出願人代理人 弁理士 坪井 淳



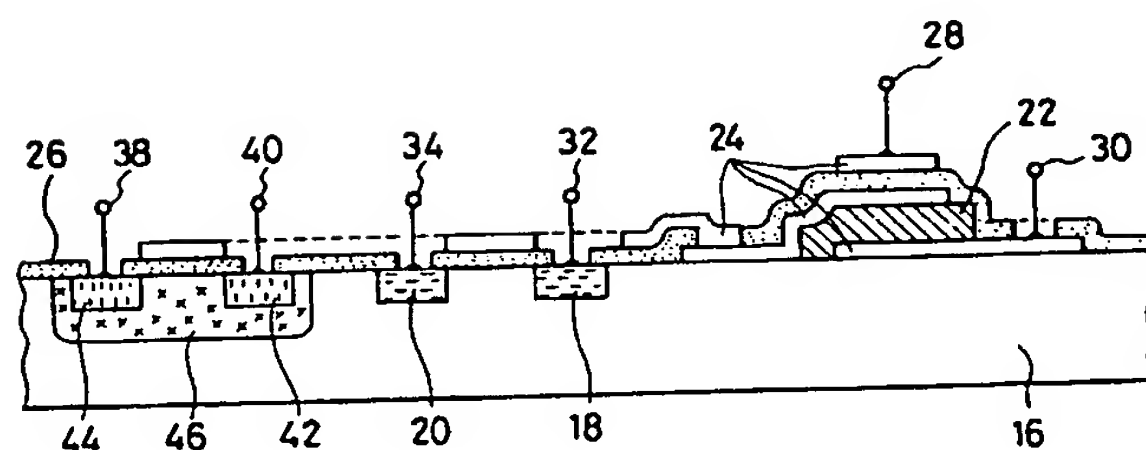
第 3 図



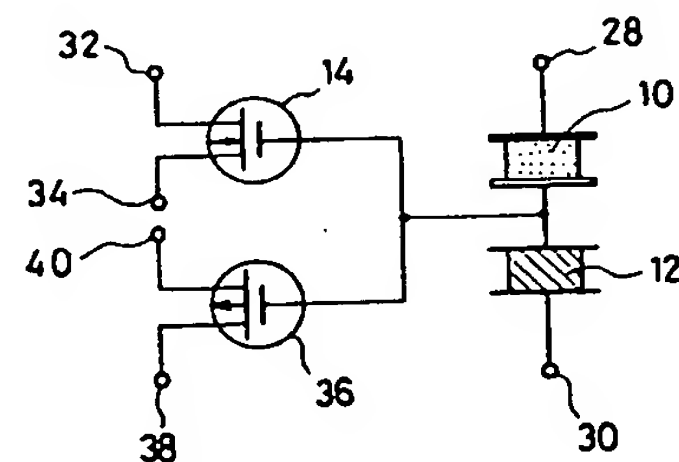
第 1 図



第 2 図

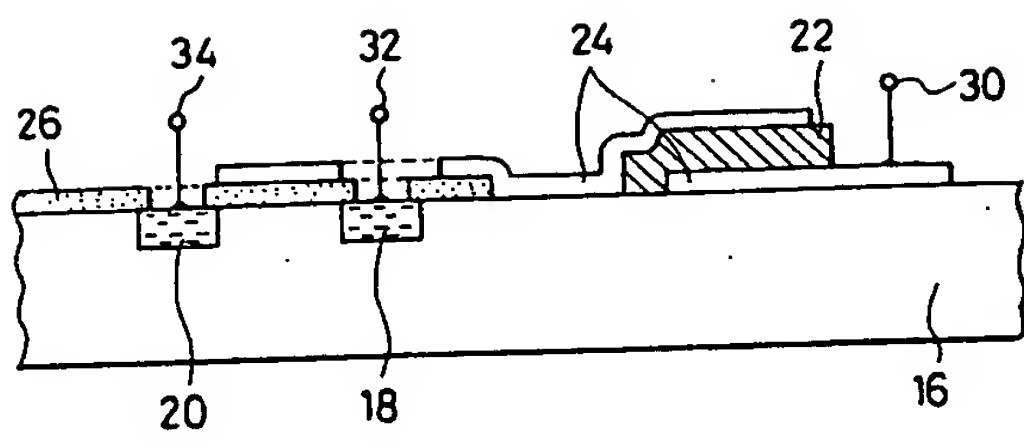


第 4 図

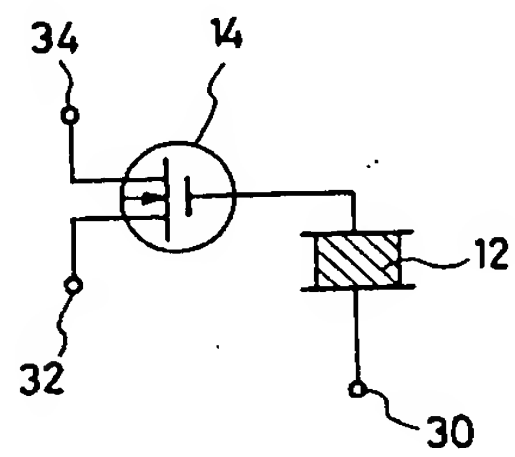


第 5 図

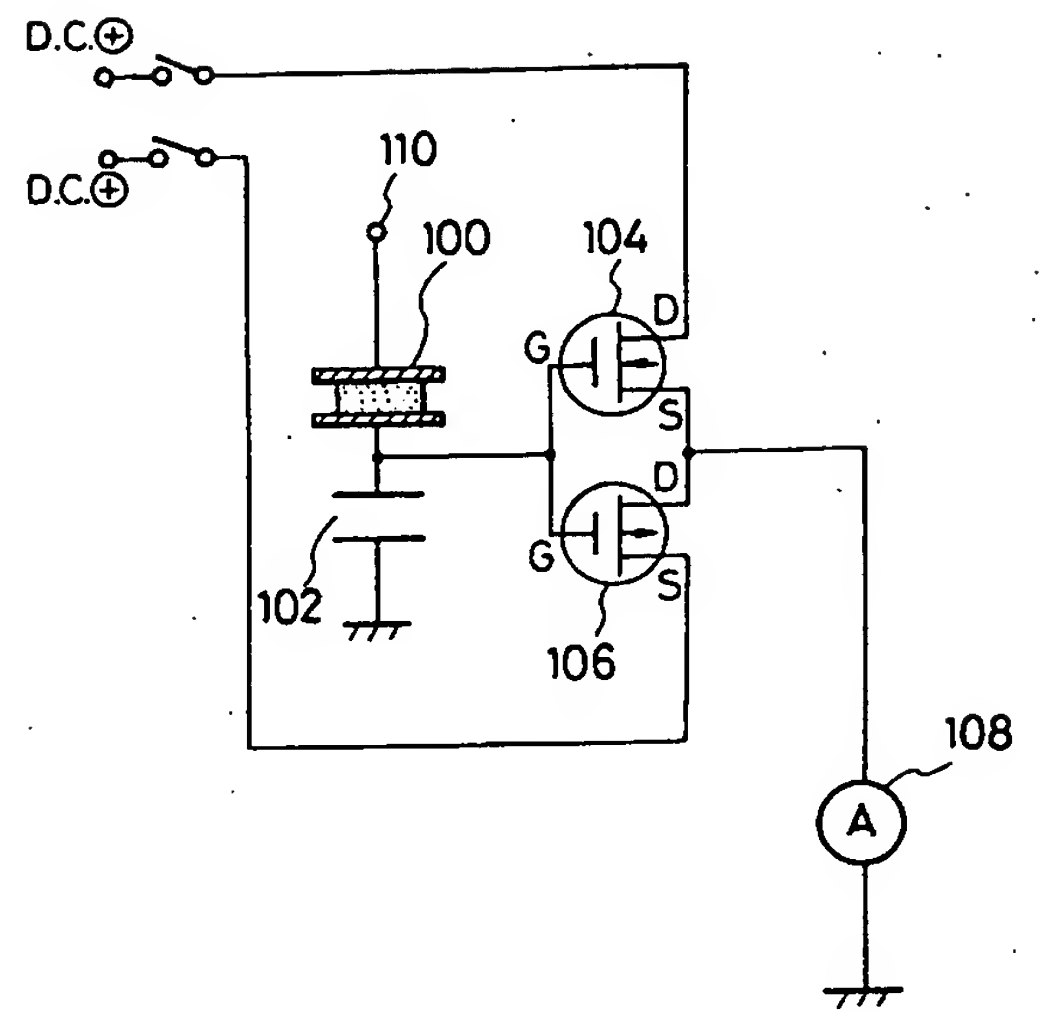




第 6 図



第 7 図



第 8 図